

ソフトウェア電源の制御技術の検討

著者	梶原 健志, 岡 俊臣, 安部 征哉, 松本 聡
雑誌名	電子情報通信学会技術研究報告. EE, 電子通信エネルギー技術
巻	119
号	32
ページ	43-48
発行年	2019-05-09
その他のタイトル	Study on a control technology for software defined power supply
URL	http://hdl.handle.net/10228/00007682

ソフトウェア電源の制御技術の検討

梶原 健志[†] 岡 俊臣[‡] 安部 征哉[‡] 松本 聡[‡]

[†]九州工業大学大学院工学府 〒804-8550 北九州市戸畑区仙水町 1-1 教育研究 5 号棟 1F E7-125

E-mail: [†] {p108032k@mail.kyutech.jp, abe@ele.kyutech.ac.jp, smatsu@ele.kyutech.ac.jp}

あらまし シリコン基板上にコンデンサやコイルなどのパッシブ部品、パワーデバイス、それらを駆動・制御する回路などを搭載した Power SoC(Power Supply on Chip)が注目されている。Power SoC は大量生産が可能のため、大量生産に見合った用途が必要となる汎用性が重要となるため、デジタル制御が有望となる。我々は、外付け部品の変更やパラメータの調整なしに、ROM からプログラムをロードするだけで動作するソフトウェア電源を提案した。本論文では、ソフトウェア電源の新規な制御方法を検討した結果について報告する。

キーワード DC-DC コンバータ, デジタル制御, ソフトウェア電源, DSP, Power SoC, 汎用性,

Study on a control technology for software defined power supply

Kenji KAJIHARA[†] Toshiomi OKA[†] Seiya ABE[‡] and Satoshi MATSUMOTO[‡]

[†]Faculty of Engineering, Kyushu Institute of Technology 1-1 Sensui-cho, Tobata-ku, Kitakyushu, 804-8550 Japan

E-mail: [†] {p108032k@mail.kyutech.jp, abe@ele.kyutech.ac.jp, smatsu@ele.kyutech.ac.jp}

Abstract Power supply on chip (-SoC), which integrates power devices, control circuits and passive devices such as capacitors and inductors on a silicon wafer has been attracted attentions. Power SoC is fabricated using mass production process and thus, it needs versatility. Therefore digitally controlled technology is promising. In this paper, we propose a digitally controlled technology suitable for a software defined power supply, which can operate by only loading a program from ROM without changing external parts and adjusting parameters.

Keywords DC-DC Converter, Digital Control, software defined power supply, DSP, Power SoC, general purpose

1. はじめに

LSI の動作電圧の低電圧化・大電流化により POL(Point of Load)の重要性が増加してきている[1]。POL は、負荷である LSI の直近に搭載されるため従来の DC-DC コンバータと比べ配線インピーダンスによる損失の低減や安定した電圧の供給が可能となる。近年 POL を負荷の直近へ搭載が望まれるようになり、コンデンサやコイルなどのパッシブ部品、パワーデバイスとこれらを駆動・制御する回路を LSI や MEMS のプロセス技術を用いてシリコン基板上に搭載しワンチップ化した POL である Power SoC(Power Supply on Chip)が注目を集めている(図 1)[2-4]。Power SoC では数十 MHz レベルの高周波スイッチングが要求されるが、従来の PWM 制御ではスイッチング周波数は数 MHz が限界であり、それ以上の周波数ではフィードバックが追従しきれず安定な動作が困難となる。

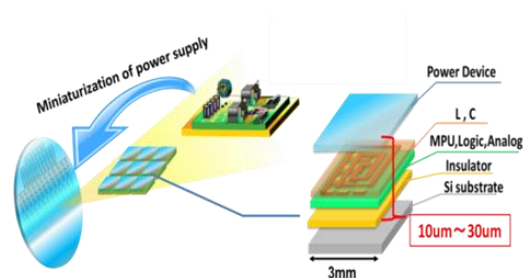


図 1 Power SoC

我々は、フィードバック制御を用いることなく、Power SoC を多数並列接続し、出力電流に応じて Power SoC の稼働台数を変化させる制御方法を提案した[5-7]。

Power SoC は LSI や MEMS のプロセス技術を用いて製造が可能のため大量生産が可能となる反面、それに見合った用途の開拓が必要となり、汎用性の高いデジタ

ル制御が有望となる。我々は、汎用 DSP を利用し、負荷からプログラムを読み込むだけで動作するソフトウェア電源を提案した[8]。我々が提案したソフトウェア電源では、負荷が急変した際、動作する POL を一台ずつ変化させているため、応答性に問題があった。

本論文では、応答性の改善を狙いとして、ソフトウェア電源の新規な制御方法について検討した結果について報告する。

2. ソフトウェア電源

図 2 にソフトウェア電源の概略図を示す[8]。ソフトウェア電源は DSP を用いたデジタル制御で動作しており、あらかじめ ROM に書き込んだプログラムを読み込むだけで動作するため高い汎用性を有する。

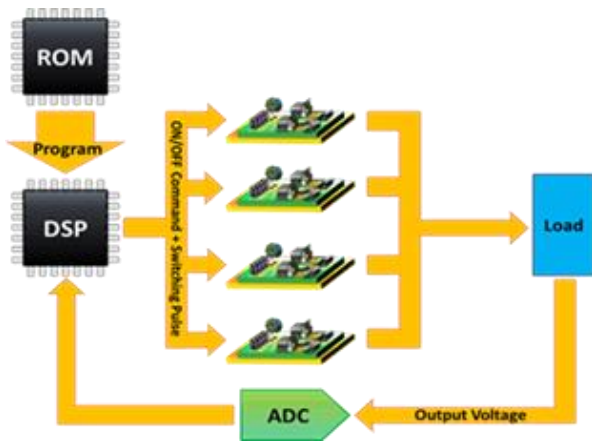


図 2 ソフトウェア電源の概略図

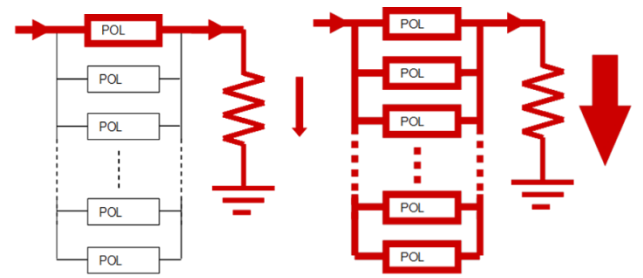
3. ソフトウェア電源の制御アルゴリズム

本研究で提案するデジタル制御による POL の制御方法[5, 6]の概念図を図 3 に示す。本研究で用いる制御方法は、個別の POL に対して PWM 制御は行わず、全ての POL を同一の Duty 比で動作させ、出力電圧に応じて稼働する POL の台数を変化させることにより、目標とする出力電圧を得る制御方式である。

式 (1) に、この制御方式で降圧チョップの Power SoC を用いた場合の出力電圧の変換式を示す。

$$V_{out} = D \cdot V_{in} - \frac{r}{N} i_{out} \quad (1)$$

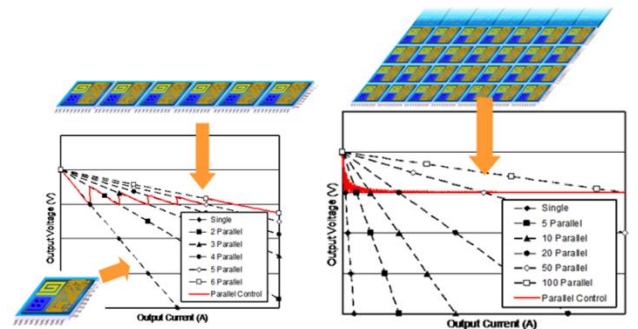
式 (1) において、 V_{out} は出力電圧、 V_{in} は入力電圧、 D は Duty 比、 N は POL の稼働台数、 r は POL の内部抵抗である。



(a) 軽負荷 (b) 重負荷
図 3 POL の並列制御方式

この制御方法では Duty 比が一定であるため、負荷電流が増加すると、内部抵抗による電圧降下の影響が大きくなり、出力電圧が降下する。POL の並列接続稼働台数を増加させると、式 (1) より内部抵抗の値が減少するため、電圧降下の傾きは小さくなり出力電圧は上昇する。これより、Duty 比が一定であっても、POL の稼働台数を増減させることで出力電圧を制御することが可能となる。また、本提案での制御方式はフィードバック制御を行わないため、スイッチング周波数の影響を受けない制御であり、高周波スイッチングにおいても安定な制御が期待できる。

図 4 に、式 (1) を用いて得られた本研究で提案する POL の出力電圧と出力電流の関係を示す。POL の台数 N は自然数であるため、POL を少数用いて並列制御した場合の出力電圧は図 4(a) のように鋸状になる。しかしながら、POL を多数並列接続して制御した場合は図 4(b) に示すように、ほぼ一定に近い出力電圧が得られる。



(a) 少数並列制御 (b) 多数並列制御
図 4 POL の出力電圧と出力電流の関係

本研究で提案したソフトウェア電源の制御方法と DVS 制御(Dynamic Voltage Scaling)の 2 つの制御アルゴリズムのフローチャートを図 5、図 6 に示す。また、図 7 に並列制御時の出力電圧-出力電流特性を示す。出力電圧を一定に保つ制御アルゴリズム[3]は、図 5 に示すように出力電圧(V_{out})を AD コンバータで読み込んだ後、目標電圧(V_{set})と比較し、稼働台数を増減させる。

具体的には、 V_{out} が V_{set} の値を下回ったときは POL の稼働台数を増やし、 V_{out} が $V_{set}+V_N$ を上回ったときは POL の稼働台数を減らす。この時、 V_N は式 (2) で定義される。この V_N はヒステリシス定数であり、コンバータの稼働台数の切り替え点付近での出力電圧の発振を防ぐ。以上により、出力電圧を目標電圧に保つことができる。

$$V_N = \frac{V_{out(0)} - V_{set}}{N} \quad (2)$$

DVS 機能の制御アルゴリズムを、図 6 に示す。DVS では、DSP に割り込み信号を入力することにより動作中にデューティ比を任意の値に変更させる。一例として、割り込み信号が入力されていない時のデューティ比が 50% (出力電圧 2.5V)、割り込み信号が入力されている時はデューティ比が 33% (出力電圧 1.65V) となるように動作させた。

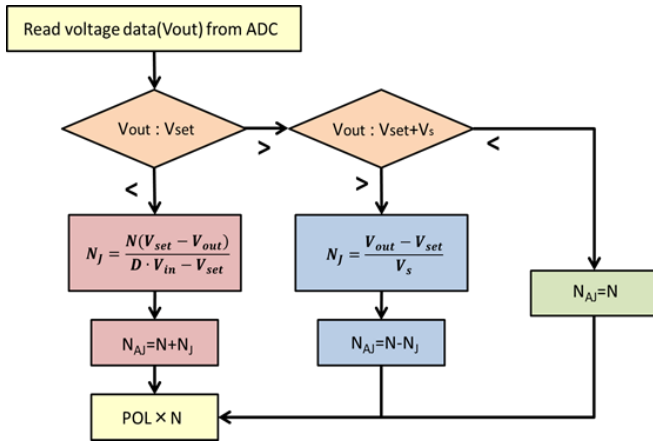


図 5 並列制御のフローチャート

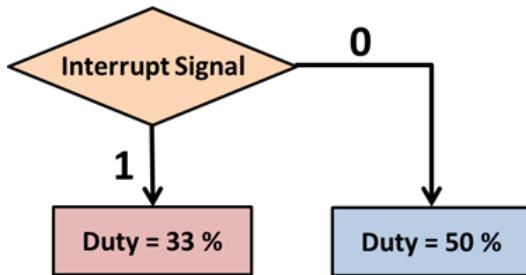


図 6 DVS 制御のフローチャート

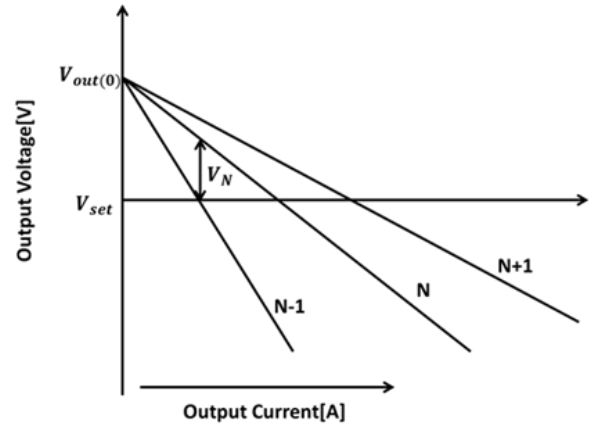
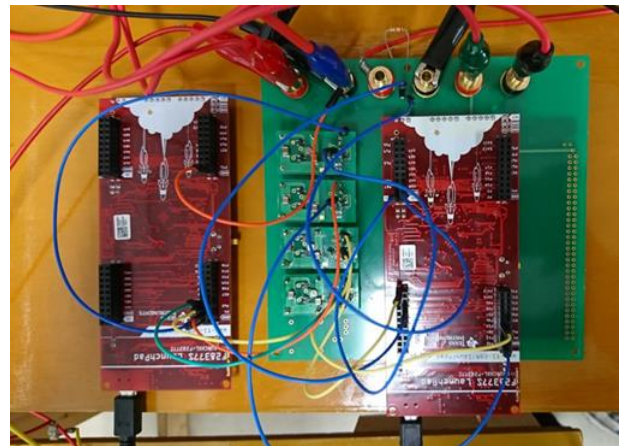


図 7 DC-DC コンバータ並列制御時の V-I 特性

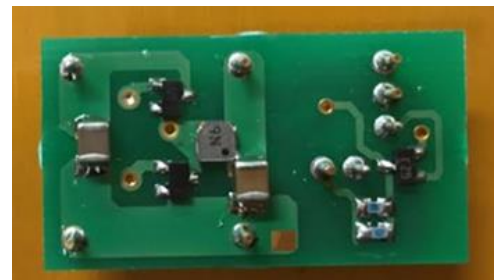
4. 実験方法

ソフトウェア電源の動作を確認するために、バックコンバータを 4 台並列接続した回路を作成し、3 で提案した制御アルゴリズムを DSP に実装し、負荷特性、効率特性、負荷急変時及び DVS を用いた過渡応答を評価した。本回路では、稼働台数の切り替え制御及びパルス出力用にそれぞれ一台ずつ DSP を使用した。

図 8、図 9 に実験に用いた回路の写真、ブロック図を示す。また、実験回路のパラメータを表 1 に、バックコンバータの動作条件を表 2 に示す。



(a) 実験回路外観



(b) バックコンバータ外観

図 8 実験に用いた回路の写真

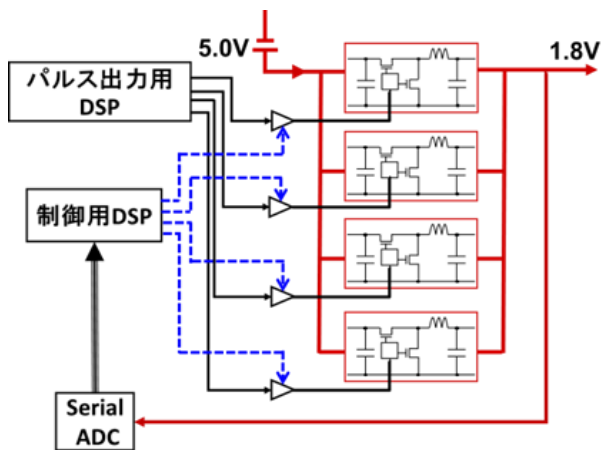


図 9 ブロック図

表 1 実験回路のパラメータ

インダクタ	4.7 μ H
入力コンデンサ	4.7 μ F
出力コンデンサ	4.7 μ F
DSR	0.24 Ω

表 2 バックコンバータの動作条件

入力電圧	5 V
目標出力電圧	1.8 V
デューティ比	50 %
スイッチング周波数	1MHz

5. 実験結果及び考察

5.1. 静特性

図 8 の回路を用いて、負荷を変化させた時の Power SoC の負荷特性及び効率特性の結果を図 10、11 に示す。図 10 において、control(+) は負荷を徐々に減少させた場合であり、control(-) は負荷を徐々に増加させた場合の結果である。また、赤の実線と破線にギャップがあるのは台数切り替えの時に発振を起こさないようにするためであり、そのギャップの大きさはヒステリシスによって定めている。また、図 10 より目標電圧 1.8 V 付近で台数切り替えできる。

また、図 11 より台数切り替え以前は効率が悪くなっている。これは同じ出力電流値であっても並列接続の台数が多いほど効率が良くなるため、台数切り替え以前は効率が悪くなっていると考えられる。

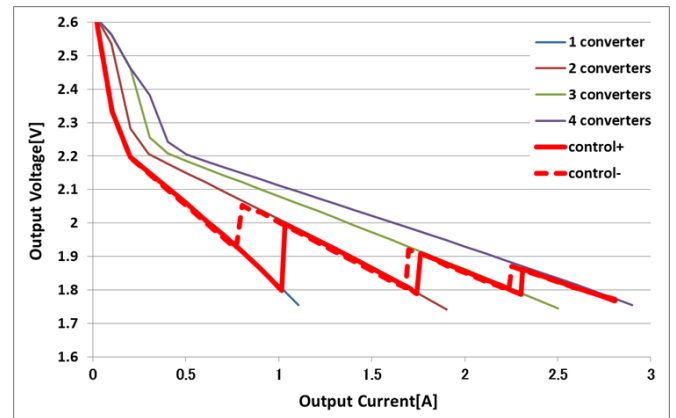


図 10 負荷特性

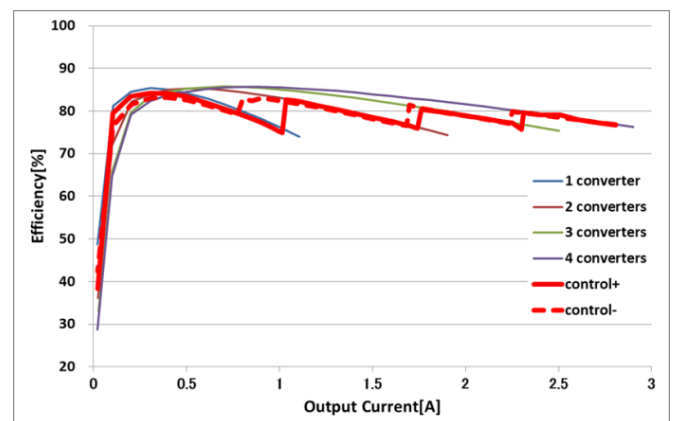


図 11 効率特性

5.2. 負荷過渡応答の検証

負荷過渡応答を測定した結果を図 12 に示す。なお、図 12 の測定結果はスイッチング周波数が 1 MHz のバックコンバータの応答波形である。応答速度は、負荷オン時オフ時ともに 60 μ s であった。

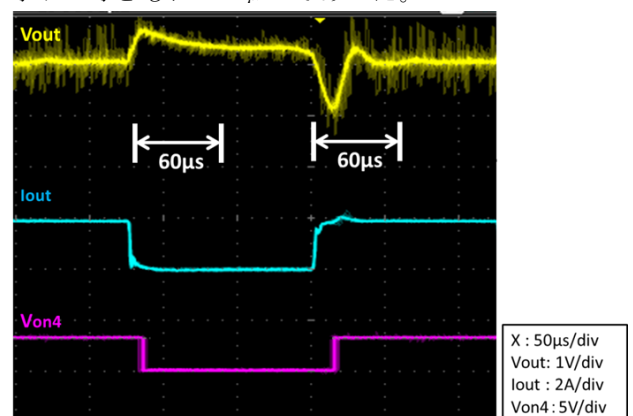


図 12 負荷過渡応答波形

また、MATLAB/Simulink を使いスイッチング周波数が 1 MHz、30 MHz の時の負荷過渡応答のシミュレーション結果をそれぞれ図 13、図 14 に示す。なお、30MHz の場合の回路パラメータ [9] 及び動作条件をそれぞれ

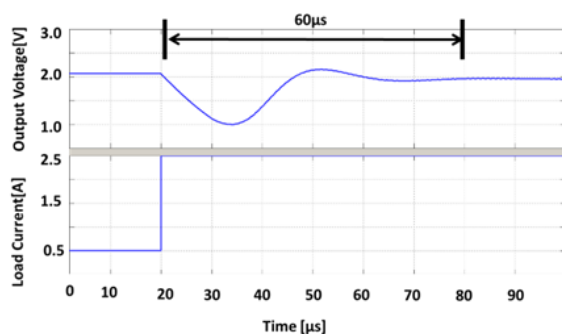
表 3、表 4 に示した値を用いた。

表 3 回路パラメータ

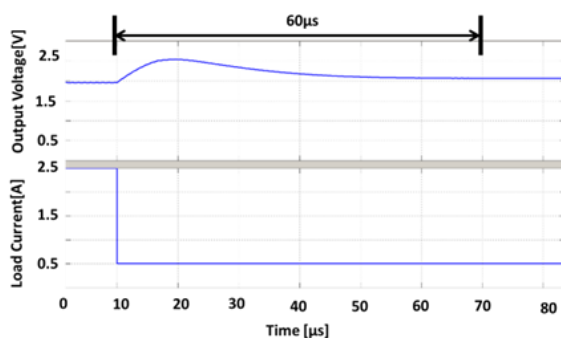
	スイッチング周波数
	30 MHz
インダクタ	38.2 nH
内部抵抗	0.382 Ω
入出力コンデンサ	97.75 nF
ESR	0.908 $\mu\Omega$
MOSFETオン抵抗	0.07 Ω

表 4 負荷過渡応答の動作条件

	スイッチング周波数	
	1 MHz	30 MHz
入力電圧	5 V	5 V
目標出力電圧	1.8 V	1.8 V
デューティ比	50 %	50 %
負荷電流	0.5 A, 2.5 A	0.5 A, 3.5 A

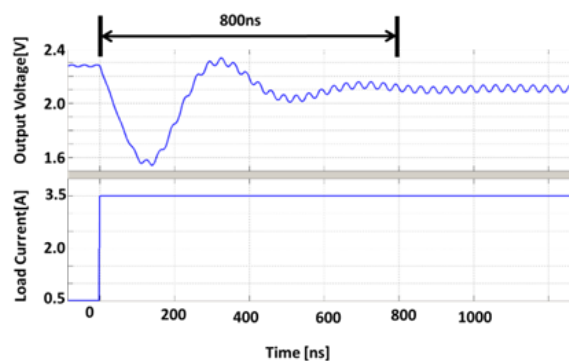


(a) 負荷電流 0.5 A→2.5 A

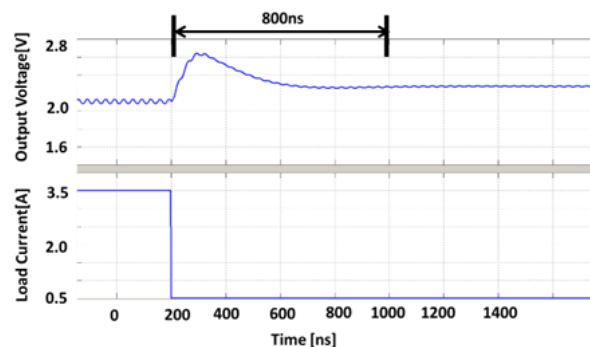


(b) 負荷電流 2.5 A→0.5 A

図 13 スwitchング周波数 1 MHz の場合のシミュレーション結果



(a) 負荷電流 0.5 A→3.5 A



(b) 負荷電流 3.5 A→0.5 A

図 14 スwitchング周波数 30 MHz の場合の

シミュレーション結果

図 13 より負荷電流を増加及び減少させた時ともに応答速度が 60 μ s となっており図 12 の実験結果と同様の結果が得られた。

また、図 14 よりスイッチング周波数を 30 MHz にすると応答速度が 800 ns となり応答性が良くなることが確認された。

5.3. DVS 応答の検証

DVS 応答を測定した結果を図 15 に示す。なお、図 15 の測定結果は負荷過渡応答と同様にスイッチング周波数が 1 MHz のバックコンバータの応答波形である。図 15 の応答波形より割り込み信号が入力された際にスイッチングパルスのデューティ比が変化し出力電圧が変化している。また、この時の応答速度は 60 μ s となった。

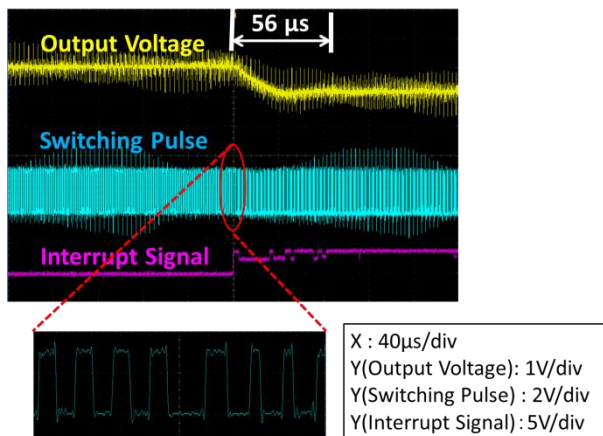


図 15 DVS の応答波形

また、MATLAB/Simulink を用いスイッチング周波数が 1 MHz、30MHz の時の DVS 応答のシミュレーション結果をそれぞれ図 16、図 17 に示す。なお、30MHz の場合の回路パラメータ[9]及び動作条件をそれぞれ表 3、表 5 に示した値を用いた。

表 5 DVS 応答の動作条件

	スイッチング周波数	
	1 MHz	30 MHz
入力電圧	5 V	5 V
目標出力電圧	1.8 V	1.8 V
デューティ比	50 % → 33 %	50 % → 33 %
負荷電流	0.5 A	0.5 A

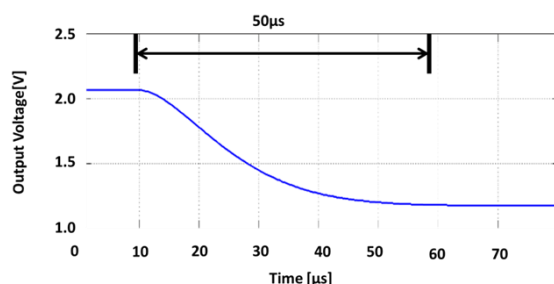


図 16 スwitchング周波数 1 MHz の場合のシミュレーション結果

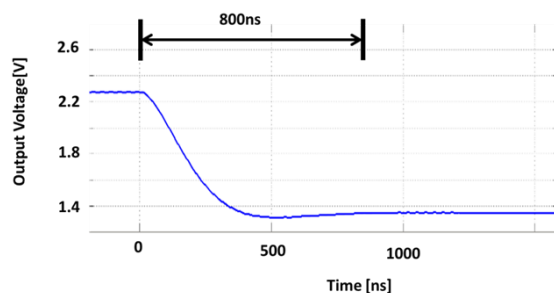


図 17 スwitchング周波数 30 MHz の場合のシミュレーション結果

図 16 よりスイッチング周波数が 1 MHz の場合は応答速度が 50 μ s となり、図 15 の実験結果と同様の結果が得られた。

また、図 17 よりスイッチング周波数を 30 MHz の時の応答速度は 800 ns となり負荷過渡応答の時と同様に応答性が良くなることが確認された。

6. まとめ

負荷電流に応じて稼働台数を変化させる制御方法を用いたソフトウェア電源の制御アルゴリズムの検討を行い、高速応答に適した制御アルゴリズムを提案し、その動作を確認した。またシミュレーションにより、スイッチング周波数 30 MHz の場合、1 μ sec 以下の高速な負荷応答及び DVS 応答が実現可能な見通しを得た。

文 献

- [1] 佐藤淳一 “よくわかる最新パワー半導体の基本と仕組み”，秀和システム
- [2] S.Matsumoto “Future Power Electronics for Realizing Sustaining Society”, International Workshop on Power Supply On Chip 2010 (PwrSoc'10), Session 6.6,2010
- [3] K.Bharath, S. Venkatraman, “Power Delivery Design and Analysis of 14nm Multicore Server CPUs with Integrated Voltage Regulators ” 2016 IEEE 66th Electronic Components and Technology Conference (ECTC2016), pp.368-373, 2016.
- [4] T. Phillips, “Delivering the Inner Power of SoCs: The Value of Fully Integrated Voltage Regulator”, International Workshop on Power Supply On Chip 2018(PwrSoc'18), session 6-2, 2018.
- [5] T. Yamamoto, J. Rikitake, S. Matsumoto, and S. Abe, “A New Control Strategy for Power Supply on Chip Using Parallel Connected DC-DC Converter”, IEEE 10th International Conference on Power Electronics and Drive Systems (PEDS) 2013, pp. 109-112, (2013)
- [6] M Higashida, T Yamamoto, S Abe, and S Matsumoto, “A Concept of Field Programmable Power Supply Array Utilizing Power Supply on Chip-- Fully digital controlled multiple input and output voltages POL --” EPE 2015, LS1e4, (2015)
- [7] S. Abe, S. Matsumoto, and T. Ninomiya, “A novel load regulation technique for power-SoC with parallel connected POLs”, IEEJ Journal of Industry Application vol.4 No.6, pp.732- 737, 2015.
- [8] T. Oka, S. Abe, S. Matsumoto, EDD and SPC IEEJ, pp. 75-80, 2017
- [9] K. Ono, K. Hiura, and S. Matsumoto, “Design Consideration of a 3D Stacked Power Supply on Chip”, Electronic Components and Technology Conference (ECTC) 2018, session 27.7, 2018.